

Japanese Kokai Patent Application No. Sho 57[1982]-209546

Job No.: 844-92661

Ref.: JP 57-209546

Translated from Japanese by the Ralph McElroy Translation Company
910 West Avenue, Austin, Texas 78701 USA

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. SHO 57[1982]-209546

Int. Cl.³: G 06 F 11/20
Sequence No. for Office Use: 7257-5B
Filing No.: Sho 56[1981]-95680
Filing Date: June 19, 1981
Publication Date: December 22, 1982
No. of Inventions: 1 (Total of 5 pages)
Examination Request: Not filed

STATE DETECTION SYSTEM BY MEANS OF CONDITION COMPARISON

Inventors: Hidekiyo Ozawa
Fujitsu, Ltd.
1015 Kamiodanaka, Nakahara-ku,
Kawasaki-shi

Nobuyuki Kikuike
Fujitsu, Ltd.
1015 Kamiodanaka, Nakahara-ku,
Kawasaki-shi

Applicant: Fujitsu, Ltd.
1015 Kamiodanaka, Nakahara-ku,
Kawasaki-shi

Agent: Shiro Kyotani, patent attorney

[There are no amendments to this patent.]

Claim

A state detection system by means of condition comparison characterized by the fact that in a processing device having a scan-out function, there are the following parts: a scan-address



RALPH MCELROY TRANSLATION COMPANY

EXCELLENCE WITH A SENSE OF URGENCY®

April 2, 2003

Re: 844-92661

To Whom It May Concern:

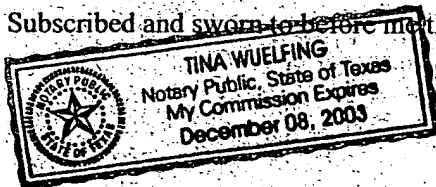
This is to certify that a professional translator on our staff who is skilled in the Japanese language translated the enclosed Japanese Kokai Patent Application No. Sho 57[1982]-209546 from Japanese into English.

We certify that the attached English translation conforms essentially to the original Japanese language.

Kim Vitray

Kim Vitray
Operations Manager

Subscribed and sworn to before me this 2 day of April, 2003.



Tina Wuelfing
Tina Wuelfing
Notary Public

My commission expires: December 8, 2003

sales@mcelroytranslation.com
www.mcelroytranslation.com

(512) 472-6753
1-800-531-9977

910 WEST AVE.
AUSTIN, TEXAS 78701



FAX (512) 472-4591
FAX (512) 479-6703

JP57209546a.pdf

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑫ 公開特許公報 (A) 昭57—209546

⑪ Int. Cl.³
G 06 F 11/20

識別記号

庁内整理番号
7257—5B

⑬ 公開 昭和57年(1982)12月22日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 条件比較による状態検出方式

⑯ 特 願 昭56—95680

⑰ 出 願 昭56(1981)6月19日

⑱ 発 明 者 小沢秀清
川崎市中原区上小田中1015番地
富士通株式会社内

⑲ 発 明 者 菊池伸行

川崎市中原区上小田中1015番地
富士通株式会社内

⑳ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 京谷四郎

明 細 書

1. 発明の名称

条件比較による状態検出方式

2. 特許請求の範囲

スキャン・アウト機能を有する処理装置において、複数のスキャン・アドレスを独立して供給するスキャン・アドレス供給手段と、上記複数のスキャン・アドレスのそれぞれに対応するフリップ・フロップもしくはゲートの値を出力する複数のマルチプレクサ手段と、上記複数のマルチプレクサから出力されるところの複数のスキャン・アドレスのそれぞれに対応して読出された複数のフリップ・フロップもしくはゲートの値を比較条件と比較する比較回路と、比較条件を設定する比較条件設定用フリップ・フロップとを備えることを特徴とする条件比較による状態検出方式。

3. 発明の詳細な説明

本発明は、処理装置内における複数のフリップ・フロップもしくはゲートを任意に指定できると共に条件をも任意に指定できるようにし、そして指定された複数のフリップ・フロップもしくはゲートの出力状態が指定された条件になったことを検出するようにした条件比較による状態検出方式に関するものである。

回路がLSI化されると、入出力ピンの限界でLSIの内部回路の状態を直接に知ることは困難であるが、スキャン・アウトによる方法は少ない入出力ピンで内部回路の状態を知る方法として有効な手段である。回路を構成するフリップ・フロップやゲートにはアドレスが割当てられており、このアドレスをスキヤス・アドレスという。論理ブロック(例えばLSI)内の所望のフリップ・フロップの状態を知ろうとするときには、このフリップ・フロップに与えられたスキャン・アドレスを外部から与えると、指定されたフリップ・フロップの内容が選択されてスキャン結果として外部に取出されて来る。これをスキャン・アウトという。

回路の障害等を追跡するとき、或る特定の回路

に注目して、その回路の値が或る値「1」又は「0」になった時にシステムの動作を凍結する手段が使われる。このような動作を実現するためには、上記のスキヤン・アウトの方法を用いて、スキヤン・アウトされた結果が所望の条件に一致したときに、この一致をシステムの動作凍結のトリガとすれば良い。しかし、スキヤン・アウトにより回路の内部を読出す方式は、スキヤン・アウトを最適化した場合、一度に1ビットしか読み出すことが出来ず、1ビットの条件しか設定できない。

本発明は、上記の考察に基づくものであって、簡単な回路構成により任意に選択されたN個（ただしNは1より大きい定数）のフリップ・フロップもしくはゲートの値が設定値と一致したことを検出できるようにした条件比較による状態検出方式を提供することを目的としている。そしてそのため、本発明の条件比較による状態検出方式は、スキヤン・アウト機能を有する処理装置において、複数のスキヤン・アドレスを独立して供給するスキヤン・アドレス供給手段と、上記複数のスキヤ

3

ン・アドレスのそれぞれに対応するフリップ・フロップもしくはゲートの値を出力する複数のマルチプレクサ手段と、上記複数のマルチプレクサから出力されるところの複数のスキヤン・アドレスのそれぞれに対応して読出された複数のフリップ・フロップもしくはゲートの値を比較条件と比較する比較回路と、比較条件を設定する比較条件設定用フリップ・フロップとを備えることを特徴とするものである。以下、本発明を図面を参照しつつ説明する。

第1図は本発明の1実施例のブロック図であって、1は論理ブロック、2-1ないし2-nはフリップ・フロップ、3-A、3-Bはスキヤン・アドレスを保持するための保持レジスタ、4-Aないし4-Cはマルチプレクサ、5は比較条件設定用フリップ・フロップ、6は比較回路、7はスキヤン・アドレス線をそれぞれ示している。

論理ブロック1はLSIで構成されているものであり、内部にフリップ・フロップ2-1ないし2-n、保持レジスタ3-A、3-B、マルチプ

4

レクサ4-Aないし4-C、比較条件設定用フリップ・フロップ5、比較回路6およびその他の図示しないゲートなどを有している。保持レジスタ3は、外部より送られて来るスキヤン・アドレスを保持するものであり、図示しないセット信号によってスキヤン・アドレスがセットされる。マルチプレクサ4-Aは、保持レジスタ3-Aの内容に従ってフリップ・フロップ2-1ないし2-nの内のいずれか1つを選択し、選択されたフリップ・フロップの状態を出力する。マルチプレクサ4-Bは、保持レジスタ3-Bの内容に従ってフリップ・フロップ2-1ないし2-nの内のいずれか1つを選択し、選択されたフリップ・フロップの状態を出力する。マルチプレクサ4-Cはスキヤン・アドレス線7のスキヤン・アドレスに従ってフリップ・フロップ2-1ないし2-nの内のいずれか1個を選択し、選択されたフリップ・フロップの状態を出力する。マルチプレクサ4

-A、4-Bの出力と比較される値がセットされる。比較条件情報は、スキヤン・アドレス線7を介して外部から供給され、そして図示しないセット信号によって比較条件設定用フリップ・フロップ5にセットされる。比較回路6は、マルチプレクサ4-A、4-Bの出力と条件設定用フリップ・フロップ5の内容とを比較し、両者が一致するとき「1」の一致信号を出力する。

はフリップ・フロップ2-4を選択し、その値を比較回路6へ送る。条件設定用フリップ・フロップ5には、条件として「10」を予め設定しておく。

比較回路6は、比較条件設定用フリップ・フロップ5と、マルチプレクサ4-A、4-Bによって取出されるフリップ・フロップ2-1、2-4の値とを比較し、フリップ・フロップ2-1が「1」、フリップ・フロップ2-4が「0」になった時に条件一致信号を外部に送り出す。従って、この外部に送り出される一致信号をシステムのクロック制御回路（図示せず）に導入して、一致信号が「1」になったときクロックを停止するようにすれば、論理ブロック1内のフリップ・フロップ2-1、2-4の値によってシステムの状態を凍結することが可能となる。以上のように、第1図の実施例によれば、論理ブロック内のN個の任意のフリップ・フロップもしくはゲートの値が設定値となったことの検出を、入出力ピンをあまり増加させることなく実現することが出来る。なお

7

同一構成を有している。セクタ13-1は、スキャン・アドレス・レジスタ21の下位部分又はスキャン・アドレス・レジスタ22の下位部分のいずれか一方を制御信号（図示せず）に基づいて選択し、選択された下位アドレス部分をマルチプレクサ14に送る。セクタ13-2、13-3は論理ブロック13-2、13-3に対するものであり、セクタ13-1と同一の機能を有している。マルチプレクサ14は、供給は、供給された下位アドレス部分に従ってフリップ・フロップ12-1ないし12-4の内のいずれか1つを選択し、選択されたフリップ・フロップの値を出力する。マルチプレクサ17は、スキャン・アドレス・レジスタ21の上位アドレス部分に従って論理ブロック11-1ないし11-3のそれぞれから送られて来るスキャン結果の内の1つを選択する。マルチプレクサ18は、スキャン・アドレス・レジスタ22の上位アドレス部分に従ってマルチプレクサ17と同様な動作を行う。マルチプレクサ17、18の出力は比較回路16に入力され

9

此処でマルチプレクサ4-Cは従来のスキャンアウト回路を示すものであり、4-Aないし4-Bによる状態比較とは独立にあるいは並行してスキャンアウトを行なえる。

第2図は本発明の第2実施例を示すものである。第2図において、11-1ないし11-3は論理ブロック、12-1ないし12-4はフリップ・フロップ、13-1ないし13-3はセクタ、14はマルチプレクサ、15は比較条件設定用フリップ・フロップ、16は比較回路、17と18はマルチプレクサ、19は有効無効モード指定フリップ・フロップ、20はAND回路、21と22はスキャン・アドレス・レジスタをそれぞれ示している。

スキャン・アドレス・レジスタ21は、下位アドレス部分と上位アドレス部分を有しており、下位アドレス部分は論理ブロック内のアドレスを示しており、上位アドレス部分は論理ブロック・アドレスを示している。スキャン・アドレス・レジスタ22もスキャン・アドレス・レジスタ21と

8

る。比較条件設定用フリップ・フロップ15の値は比較回路16に送られ、マルチプレクサ17、18の値と比較される。有効無効モード・フリップ・フロップ19はシステム・クロック停止処理の有効／無効を指定するものであって、「1」に設定されたとき有効となる。

論理ブロック11-1のフリップ・フロップ12-1が論理「1」、論理ブロック11-2のフリップ・フロップ12-4が「0」のときにシステムのクロックを停止させる場合には、下記のような設定処理が行われる。スキャン・アドレス・レジスタ21に論理ブロック11-1のフリップ・フロップ12-1のスキャン・アドレスをセットし、スキャン・アドレス・レジスタ22に論理ブロック11-2のフリップ・フロップ12-4のスキャン・アドレスをセットする。セクタ13-1には上側入力選択のための制御信号を印加し、セクタ13-2には下側入力選択のための制御信号を印加する。比較手段設定用フリップ・フロップ15には「10」をセットし、有効無効モ-

ド・フリップ・フロップ19を「1」に設定する。
 このような設定処理を行った後にシステムを起動
 すると、論理ブロック11-1のフリップ・フロ
 ップ12-1が「1」、論理ブロック11-2の
 フリップ・フロップ12-4が「0」になった時
 に比較回路16は「1」を出力し、AND回路20
 の出力するクロック停止信号も論理「1」となる。
 クロック停止信号が「1」となると、システムの
 クロックは停止する。

以上の説明から明らかなように、本発明によれ
 ば、スキャン・アウト機能を有する従来の処理装
 置に値かなハードウェアを付加するのみで、任意
 に選択されたN個のフリップ・フロップもしくは
 ゲートの値が設定値になったことを検出すること
 が出来る。

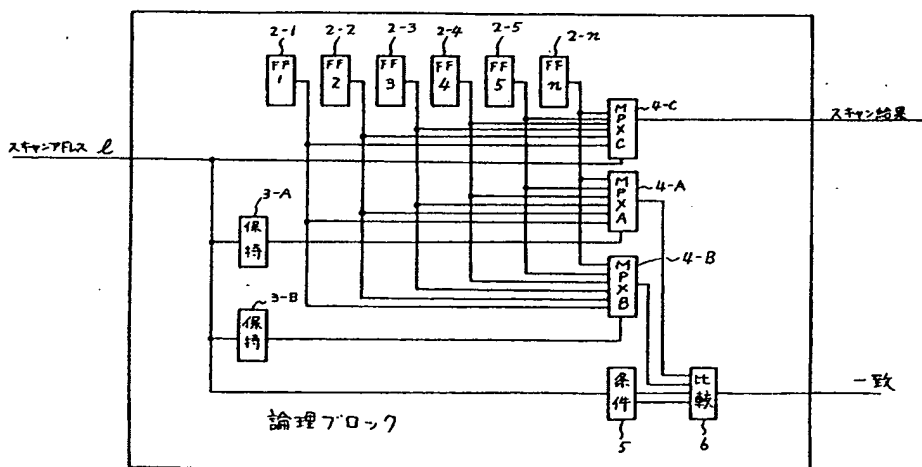
ップ・フロップ、3-A、3-B…スキャン・
 アドレスを保持するための保持レジスタ、4-C
 Aと4-B…マルチプレクサ、5…比較条件設
 定用フリップ・フロップ、6…比較回路、2…
 スキャン・アドレス線、11-1ないし11-
 3…論理ブロック、12ないし12-4…フリ
 ップ・フロップ、13-1ないし13-3…セ
 レクタ、14…マルチプレクサ、15…比較条
 件設定用フリップ・フロップ、16…比較回路、
 17と18…マルチプレクサ、19…有効無効
 モード指定フリップ・フロップ、20…AND
 回路、21と22…スキャン・アドレス・レジ
 スタ。

特許出願人 富士通株式会社
 代理人弁理士 京谷四郎

4. 図面の簡単な説明

第1図は本発明の1実施例のブロック図、第2
 図は本発明の他の実施例のブロック図である。

1…論理ブロック、2-1ないし2-n…フリ



第1図

